



DEUTSCHES  
PATENT- UND  
MARKENAMT

21 Aktenzeichen: 101 11 760.4  
22 Anmeldetag: 12. 3. 2001  
43 Offenlegungstag: 2. 10. 2002

71 Anmelder:  
Infineon Technologies AG, 81669 München, DE  
74 Vertreter:  
Epping, Hermann & Fischer, 80339 München

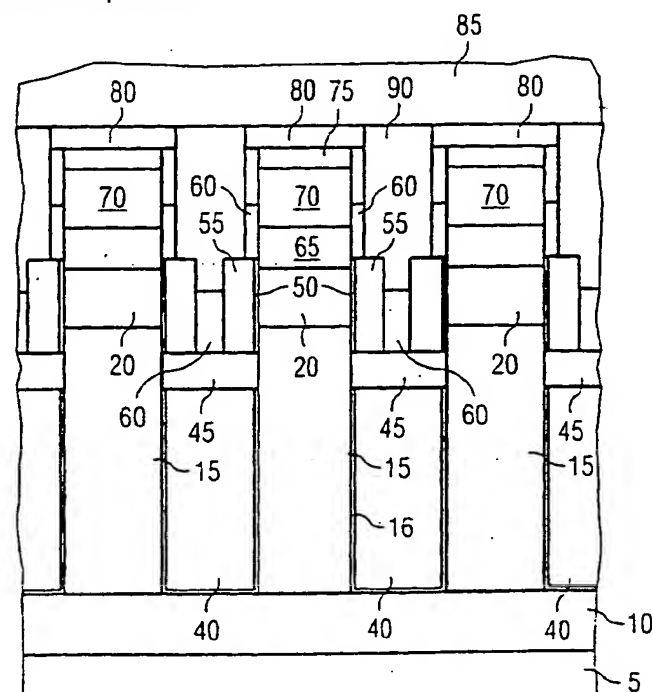
72 Erfinder:  
Hofmann, Franz, Dr., 80995 München, DE;  
Schlösser, Till, Dr., 01109 Dresden, DE  
56 Entgegenhaltungen:  
DE 199 23 261 C1  
DE 198 45 058 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Verfahren zur Herstellung einer Speicherzelle eines Halbleiterspeichers

57 Bei herkömmlichen Grabenkondensatoren wird der Speicherknoten in einem Graben gebildet, der üblicherweise als Bohrloch ausgebildet ist. Im Gegensatz dazu wird in der vorliegenden Anmeldung der Speicherknoten in dem einkristallinen Silizium des Substrates gebildet, der bei einer Ätzung als Steg (17) stehen bleibt, wohingegen ein Graben (30) mit der gemeinsamen Gegenelektrode des Speicherzellenfeldes gefüllt wird. Hierbei ist vorteilhaft, daß der Auswahltransistor als vertikaler Transistor oberhalb des Speicherknotens in dem freistehenden Steg 17 gebildet wird.



DE 101 11 760 A 1

[0001] Die vorliegende Anmeldung betrifft ein Verfahren zur Herstellung einer Speicherzelle eines Halbleiterspeichers.

[0002] Halbleiterspeicher, wie zum Beispiel DRAMs (Dynamic Random Access Memories) bestehen aus einem Zellenfeld und einer Ansteuerungsperipherie, wobei in dem Zellenfeld einzelne Speicherzellen angeordnet sind.

[0003] Ein DRAM-Chip enthält eine Matrix von Speicherzellen, welche in Form von Zeilen und Spalten angeordnet sind und von Wortleitungen und Bitleitungen angesteuert werden. Das Auslesen von Daten aus den Speicherzellen und das Schreiben von Daten in die Speicherzellen wird durch die Aktivierung geeigneter Wortleitungen und Bitleitungen bewerkstelligt.

[0004] Üblicherweise enthält eine Speicherzelle eines DRAMs einen mit einem Kondensator verbundenen Transistor. Der Transistor besteht unter anderem aus zwei Diffusionsgebieten, welche durch einen Kanal voneinander getrennt sind, der von einem Gate gesteuert wird. Abhängig von der Richtung des Stromflusses wird ein Diffusionsgebiet als Drain-Gebiet und das andere Diffusionsgebiet als Source-Gebiet bezeichnet.

[0005] Eines der Diffusionsgebiete ist mit einer Bitleitung, das andere Diffusionsgebiet mit dem Kondensator und das Gate mit einer Wortleitung verbunden. Durch Anlegen geeigneter Spannungen an das Gate wird der Transistor so gesteuert, daß ein Stromfluß zwischen dem Diffusionsgebieten durch den Kanal ein- und ausgeschaltet wird.

[0006] Durch die fortschreitende Miniaturisierung von Speicherbauelementen wird die Integrationsdichte kontinuierlich erhöht.

[0007] Die kontinuierliche Erhöhung der Integrationsdichte bedeutet, daß die pro Speicherzelle zur Verfügung stehende Fläche immer weiter abnimmt. Um die zu Verfügung stehende Fläche effektiv auszunutzen, kann der Auswahltransistor als vertikaler Transistor in einem Graben oberhalb eines Grabenkondensators gebildet werden. Eine Speicherzelle mit einem Grabenkondensator und einem vertikalen Auswahltransistor ist beispielsweise aus der Druckschrift US 5,744,386 bekannt. Weitere Ausführungen zu Grabenkondensatoren und Transistoren sind in dem Patent US 5,208,657 beschrieben.

[0008] Nachteilig an den aus dem Stand der Technik bekannten Speicherzelle eines Halbleiterspeichers ist, daß sie eine Zellfläche von mindestens  $5F^2$  benötigen, wobei F die kleinste lithographisch abbildbare Längeneinheit ist.

[0009] Es ist die Aufgabe der Erfindung, ein weiteres Verfahren zur Herstellung einer Halbleiterspeicherzelle anzugeben, das Speicherzellen mit nur  $4F^2$  Zellfläche ermöglicht.

[0010] Erfindungsgemäß wird die Aufgabe gelöst durch ein Verfahren zur Herstellung einer Speicherzelle eines Halbleiterspeichers umfassend einen Transistor und einen Kondensator, wobei der Transistor ein erstes und ein zweites Dotiergebiet aufweist und der Kondensator eine erste Kondensatorelektrode, eine zweite Kondensatorelektrode und ein Kondensatordielektrikum aufweist, mit den Schritten:

- Bereitstellen eines Substrates mit einer Halbleiterschicht;
- Ätzen eines Grabens (in die Halbleiterschicht, wobei ein von dem Graben umgebener Steg gebildet wird, der in dem Graben eine Seitenwand aufweist;
- Bilden einer dielektrischen Schicht als Kondensatordielektrikum, auf der Seitenwand des Steges, den Steg umgebend;
- Füllen des Grabens mit einer leitenden Grabenfü-

lung als erste Kondensatorelektrode, die als gemeinsame Kondensatorelektrode benachbarter Speicherzellen dient;

- Bilden einer Isolationsschicht in dem Graben auf der leitenden Grabenfüllung;
- Bilden seitlicher Randstege an dem Steg, als Gate-Elektrode des Transistors;
- Einbringen von Dotierstoff in den Steg, wobei eine dotierte Schicht als ein Dotiergebiet des Transistors gebildet wird;
- Bilden einer Bitleitung auf dem Steg, auf der dotierten Schicht;
- Bilden einer Wortleitung oberhalb der Bitleitung;
- Bilden eines Wortleitungskontaktes, der die Wortleitung mit dem Gate verbindet.

[0011] Das erfindungsgemäße Verfahren weist den Vorteil auf, daß eine Substratoberfläche von lediglich  $4F^2$  pro Speicherzelle benötigt wird. Weiterhin ist vorteilhaft, daß zur Bildung der erfindungsgemäßen Speicherzelle eine wesentlich geringere Anzahl von Prozessierungsschritten benötigt wird, als aus dem Stand der Technik bekannt ist.

[0012] Die Ätzung des Grabens erfolgt in dem Muster, das durch zwei gekreuzte Liniengitters gebildet wird, wodurch einzelne, freistehende Stege gebildet werden, die in ihrem unteren Bereich die innere Kondensatorelektrode mit dem Speicherknoten bilden und in ihrem oberen Bereich, an der Substratoberfläche, einen vertikalen Transistor beinhalten. Nach der Abscheidung des Kondensatordielektrikums und dem Auffüllen des Grabens mit einer leitfähigen Grabenfüllung entsteht die Zellplatte als Gegenelektrode in Form einer Art Lochplatte, in deren Löchern die Stege mit den jeweiligen Zellknoten und den vertikalen Auswahltransistoren angeordnet sind. Ein weiterer Vorteil besteht darin, daß für das Zellenfeld keine STI-Isolation (Shallow Trench Isolation) benötigt wird. Ein weiterer Vorteil besteht darin, daß für das Zellenfeld keine zusätzliche Isolationsstruktur benötigt wird, die bei herkömmlichen Speicherzellen zu einem vergrößerten Platzbedarf der einzelnen Speicherzellen führt. Ein weiterer Vorteil besteht darin, daß ein selbstjustierter Kontakt zu dem Speicherknoten und dem vertikalen Auswahltransistor hergestellt wird. Dieser Vorteil resultiert daher, daß der Steg in einem Ätzschritt strukturiert wird, der sowohl die innere Kondensatorelektrode mit dem Speicherknoten als auch dem Auswahltransistor strukturiert. Weiterhin ist vorteilhaft, daß eine zusätzliche Isolation für die Auswahltransistor vermieden werden kann. Ein weiterer Vorteil besteht darin, daß auf einen Isolationskragen in dem Graben verzichtet werden kann. Dies liegt daran, daß der bei üblichen Speicherzellen an der Grabenaußenwand angeordnete parasitäre Transistor aufgrund der vorteilhaften geometrischen Anordnung vermieden werden kann.

[0013] Ein Verfahrensschritt sieht vor, daß das Substrat als Silicon-On-Insulator-Substrat bereitgestellt wird. Ein Silicon-On-Insulator-Substrat (SOI) weist den Vorteil auf, daß beispielsweise die Ätzung des Grabens selbstjustiert auf der Isolationsschicht des SOI-Substrates stoppen kann.

[0014] Ein weiterer Verfahrensschritt sieht vor, daß oberhalb der Isolationsschicht, auf der Seitenwand des Steges, ein Gate-Oxid gebildet wird. Das Gate-Oxid kann beispielsweise mittels einer thermischen Oxidierung gebildet werden und isoliert beispielsweise die nachfolgend gebildete Gate-Elektrode von dem Kanalgebiet.

[0015] Ein weiterer Verfahrensschritt sieht vor, daß eine konforme Schicht mit einer Schichtdicke zwischen einem Sechstel und der Hälfte der Breite des Grabens abgeschieden wird und anisotrop zurückgeätzt wird, wobei das Gate als seitlicher Randsteg an dem Steg aus der konformen

Schicht gebildet wird. Das Gate wird dabei als Spacer gebildet und kann beispielsweise rund um den Steg beispielsweise an vier Seiten des Steges angeordnet werden. Dies weist den Vorteil auf, das die Kanalweite des vertikalen Auswahltransistors viermal so groß ist und die Speicherzelle somit sehr schnell beladen und entladen werden kann.

[0016] Ein weiterer Verfahrensschritt sieht vor, daß zwischen der dotierten Schicht und der Bitleitung eine Barrierschicht gebildet wird. Die Barrierschicht dient beispielsweise dazu, die dotierte Schicht vor Materialien zu schützen, die in der Bitleitung angeordnet sind. Dies ist zweckmäßig, falls Metalle in der Bitleitung angeordnet werden. Die Metalle gestalten die Bitleitung niederohmig.

[0017] Ein weiterer Verfahrensschritt sieht vor, daß auf der Bitleitung eine weitere Isolationsschicht gebildet wird, in der ein Graben gebildet wird, in dem die Wortleitung gebildet wird. Die weitere Isolationsschicht beabstandet die Bitleitung und die Wortleitung voneinander und die Wortleitung kann beispielsweise mittels eines Damascene- oder Dual-Damascene-Prozesses gebildet werden.

[0018] Eine weitere Verfahrensvariante sieht vor, daß eine Bitleitungsisolierung neben und auf der Bitleitung gebildet wird.

[0019] Eine weitere vorteilhafte Variante des erfindungsgemäßen Verfahrens sieht vor, daß die Bitleitungsisolierung als selbstjustierende Ätzmaske bei der Ätzung eines Kontaktloches für den Wortleitungskontakt verwendet wird. Dies weist den Vorteil auf, daß das Kontaktloch für die Kontaktierung des Gates mit der Wortleitung mit einer groben Justierung belichtet und geätzt werden kann, wobei durch die Bitleitungsisolierung die Ätzung selbstjustiert zu der Gate-Elektrode vorangetrieben wird.

[0020] Eine weitere vorteilhafte Variante des erfindungsgemäßen Verfahrens sieht vor, daß auf der Isolationsschicht des Silicon-On-Insulator-Substrats eine hoch dotierte Schicht eines ersten Leitungstyps angeordnet ist und auf der hoch dotierten Schicht eine schwach dotierte Schicht eines zweiten Leitungstyps angeordnet ist, wobei die hoch dotierte Schicht die zweite Kondensatorelektrode und das zweite Dotiergebiet des Transistors bildet und die schwach dotierte Schicht das Kanalgebiet des Transistors bildet.

[0021] Vorteilhafte Ausgestaltungen des erfindungsgemäßen Verfahrens sind Gegenstand der jeweiligen Unteransprüche.

[0022] Nachfolgend wird die Erfindung anhand von Ausführungsbeispielen und Figuren näher erläutert.

[0023] In den Figuren zeigen:

[0024] Fig. 1 die Draufsicht auf ein Zellenfeld mit einem freistehenden Steg, der von einem Graben umgeben ist;

[0025] Fig. 2 bis 7 Schnittbilder entlang der Schnittlinie AA aus Fig. 1, die ein Herstellungsverfahren zur Bildung einer erfindungsgemäßen Speicherzelle darstellen.

[0026] In Fig. 1 ist ein Substrat 5 dargestellt, auf dem ein freistehender Steg 17 angeordnet ist, der von einem Graben 30 umgeben ist. Der freistehende Steg 17 umfaßt eine erste dotierte Schicht 15, in der ein Speicherknoten als innere Kondensatorelektrode 16 angeordnet ist.

[0027] In Fig. 2 ist ein Schnittbild entlang der Schnittlinie AA durch das in Fig. 1 dargestellte Substrat 5 gezeigt. Bei dem Substrat 5 handelt es sich um ein SOI-Substrat (Silicon On Insulator), wobei auf dem Substrat 5 eine erste Isolationsschicht 10 angeordnet ist, auf der eine erste dotierte Schicht 15 und darauf eine zweite undotierte Schicht 20 angeordnet sind. Bei dem Substrat 5 handelt es sich beispielsweise um ein Siliziumsubstrat. Die erste dotierte Schicht 15 ist beispielsweise aus hoch dotiertem Silizium gebildet und die undotierte Schicht weist eine Dotierstoffkonzentration von weniger als 10<sup>16</sup> Dotieratome pro Kubikzentimeter auf.

[0028] Mit Bezug auf Fig. 3 wird eine Maskenschicht 25 auf der undotierten Schicht 20 abgeschieden. Auf der Maskenschicht 25 wird beispielsweise nachfolgend eine Hartmaske aus einem dotierten Silikatglas wie beispielsweise Bor- oder Phosphorsilikatglas gebildet. Nachfolgend wird ein Photolack auf der Hartmaske abgeschieden und mit einem oder auch zwei fototechnischen Schritten – zum Beispiel mit zwei gekreuzten Liniengittern – belichtet und anschließend entwickelt. Anschließend wird die Hartmaske geätzt, wobei die Lackmaske als Ätzmaske verwendet wird. Nachfolgend wird die Lackmaske von der Hartmaske entfernt. Nachfolgend wird die Maske 25, die undotierte Schicht 20 und die erste dotierte Schicht 15 geätzt, wobei die Hartmaske als Ätzmaske verwendet wird. Beispielsweise kann dabei die erste Isolationsschicht 10 als Ätzstopp für die Ätzung verwendet werden. Bei der Ätzung entsteht ein Graben 30, der einen freistehenden Steg 17 umgibt. Der freistehende Steg 17 weist in seinem unteren Bereich die erste dotierte Schicht 15 und in seinem oberen Bereich die undotierte Schicht 20 auf. Nachfolgend wird die Hartmaske von der Maske 25 entfernt.

[0029] Mit Bezug auf Fig. 4 wird eine dielektrische Schicht 35 in dem unteren Bereich des Grabens 30 gebildet. Dies kann beispielsweise mittels einer thermischen Oxidierung beziehungsweise einer thermischen Nitridierung sowie einer CVD (Chemical Vapour Deposition) Abscheidung durchgeführt werden. Die dielektrische Schicht 35 wird beispielsweise aus Siliziumnitrid, Siliziumoxid oder Siliziumoxinitrid gebildet. Nachfolgend wird eine leitende Grabenfüllung 40 in den Graben 30 eingefüllt und bedeckt die dielektrische Schicht 35. Dies kann beispielsweise mittels der Abscheidung einer polykristallinen Siliziumschicht durchgeführt werden, die hoch ndotiert ist. Falls es sich um eine konforme Abscheidung handelt, so wird die leitende Grabenfüllung ebenfalls auf der Maske 25 gebildet, so daß in einem nachfolgenden Rückätzschritt die leitende Grabenfüllung 40 in den Graben 30 eingesenkt wird. Nachfolgend wird eine Oxidschicht 45 in den Graben 30 abgeschieden. Auch hierbei wird die Oxidschicht konform abgeschieden, so daß sie ebenfalls auf der Maske 25 angeordnet wird. Nachfolgend wird die zweite Isolationsschicht 45 in den Graben 30 eingesenkt. Der oberhalb der zweiten Isolationsschicht 45 angeordnete Teil des Stegs 17 wird von der dielektrischen Schicht 35 befreit, so daß die Seitenwand des Stegs 17 in dem Bereich oberhalb der zweiten Isolationsschicht 45 freiliegt.

[0030] Mit Bezug auf Fig. 5 wird ein Gate-Oxid 50 mittels eines Temperaturschrittes mit einer Dicke von ca. 5 Nanometern gebildet. Nachfolgend wird eine konforme Abscheidung des Gates 55 durchgeführt, wobei das Gate 55 aus einem n-dotierten Polysilizium gebildet wird. Das Gate 55 wird dabei mit einer Dicke von etwa einem Drittel der Breite des Grabens 30 gebildet. Nachfolgend wird eine anisotrope Ätzung durchgeführt, wobei das Gate 55 als seitlicher Randsteg auf dem Gate-Oxid 50 an der Seitenwand des Stegs 17 gebildet wird. Die Spacer-Ätzung zur Bildung des Gates 55 wird dabei so durchgeführt, daß oberhalb des Gates 55 ein Teil der undotierten Schicht 20 angeordnet ist. Nachfolgend wird eine dritte Isolationsschicht 60 in den Graben 30 abgeschieden und mittels eines CMP (Chemical Mechanical Polishing) Schrittes planarisiert.

[0031] Mit Bezug auf Fig. 6 wird die Maske 25 von dem Steg 17 entfernt. Nachfolgend wird eine Dotierung des oberen Bereiches des Stegs 17 durchgeführt. Dies kann beispielsweise mittels einer Implantation durchgeführt werden. Als Dotierstoff sind n+ und p+ Dotierungen mittels Arsen, Phosphor oder Bor geeignet. Dabei wird eine zweite dotierte Schicht 65 in dem Steg 17 gebildet. Auf die zweite dotierte

Schicht 65 wird optional eine Barriere abgeschieden.

[0032] Auf die Barriere wird nachfolgend eine leitfähige Schicht abgeschieden, aus der eine Bitleitung 70 strukturiert wird. Die leitfähige Schicht der Bitleitung 70 wird beispielsweise aus Wolframsilizid gebildet. Nachfolgend wird auf die leitfähige Schicht eine Bitleitungsisolation 75 abgeschieden. Auf die Bitleitungsisolation 75 wird eine Lackmaske abgeschieden, die mittels einer Fototechnik strukturiert wird und anschließend entwickelt wird. Nachfolgend wird die Bitleitungsisolation 75 und die leitfähige Schicht 70 strukturiert, wobei die Bitleitung 70 auf der zweiten dotierten Schicht 65 gebildet wird. Nachfolgend wird eine Isolationsschicht konform abgeschieden, aus der die Bitleitungsisolation 75 mittels Spacer-Technik strukturiert wird. Die Bitleitungsisolation 75 ist beispielsweise aus Siliziumnitrid gebildet.

[0033] Mit Bezug auf Fig. 7 wird eine vierte Isolationsschicht 80 abgeschieden. Die vierte Isolationsschicht 80 besteht beispielsweise aus Siliziumoxid. Die vierte Isolationsschicht 80 wird nachfolgend mittels eines CMP Schrittes planarisiert. In die vierte Isolationsschicht 80 werden mittels einer strukturierten Lackmaske Gräben geätzt, in denen nachfolgend eine Wortleitung 85 angeordnet werden kann. Mittels einer zweiten Lackmaske werden in die vierte Isolationsschicht 80 und die dritte Isolationsschicht 60 Kontaktlöcher geätzt, in denen nachfolgend ein Wortleitungskontakt 90 gebildet werden kann. Nach der Ätzung des Wortleitungsgabens und des Kontaktlochs für den Wortleitungskontakt wird zunächst optional eine Barrierenschicht abgeschieden. Nachfolgend wird der Wortleitungskontakt 90 und die Wortleitung 85 abgeschieden. Die Wortleitung 85 und der Wortleitungskontakt 90 werden beispielsweise aus Wolfram gebildet. Nachfolgend wird ein CMP-Schritt zur Planarisierung der Wolframschicht durchgeführt. Die Technik zur Bildung der Wortleitung 85 und des Wortleitungskontaktes 90 wird beispielsweise Damascene beziehungsweise Dual-Damascene Technik genannt.

#### Bezugszeichenliste

5	Substrat	
10	erste Isolationsschicht	
15	erste dotierte Schicht	
16	Speicherknoten, innere Kondensatorelektrode	
17	freistehender Steg	
20	undotierte Schicht	
25	Maske	
30	Graben	
35	dielektrische Schicht	
40	leitende Grabenfüllung	
45	zweite Isolationsschicht	
50	Gate-Oxid	
55	Gate	
60	dritte Isolationsschicht	
65	zweite dotierte Schicht	
70	Bitleitung	
75	Bitleitungsisolation	
80	vierte Isolationsschicht	
85	Wortleitung	
90	Wortleitungskontakt	

#### Patentansprüche

1. Verfahren zur Herstellung einer Speicherzelle eines Halbleiterspeichers umfassend einen Transistor und einen Kondensator, wobei der Transistor ein erstes und ein zweites Dotiergebiet aufweist und der Kondensator eine erste Kondensatorelektrode, eine zweite Kondensatorelektrode und ein Kondensatordielektrikum aufweist, mit den Schritten:

– Bereitstellen eines Substrates (5) mit einer Halbleiterschicht (15, 20);

– Ätzen eines Grabens (30) in die Halbleiterschicht (15, 20), wobei ein von dem Graben (30) umgebener Steg (17) gebildet wird, der in dem Graben eine Seitenwand aufweist;

– Bilden einer dielektrischen Schicht (35) als Kondensatordielektrikum, auf der Seitenwand des Steges (17), den Steg (17) umgebend;

– Füllen des Grabens (30) mit einer leitenden Grabenfüllung (40) als erste Kondensatorelektrode, die als gemeinsame Kondensatorelektrode benachbarter Speicherzellen dient;

– Bilden einer Isolationsschicht (45) in dem Graben (30) auf der leitenden Grabenfüllung (40);

– Bilden seitlicher Randstege an dem Steg (17), als Gate-Elektrode (55) des Transistors;

– Einbringen von Dotierstoff in den Steg (17), wobei eine dotierte Schicht (65) als ein Dotiergebiet des Transistors gebildet wird;

– Bilden einer Bitleitung (70) auf dem Steg (17), auf der dotierten Schicht (65);

– Bilden einer Wortleitung (85) oberhalb der Bitleitung (70);

– Bilden eines Wortleitungskontaktes (90), der die Wortleitung (85) mit dem Gate (55) verbindet.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß das Substrat (5) als Silicon-On-Insulator-Substrat bereitgestellt wird.

3. Verfahren nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, daß oberhalb der Isolationsschicht (45), auf der Seitenwand des Steges (17), ein Gate-Oxid (50) gebildet wird.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß eine konforme Schicht mit einer Schichtdicke zwischen einem Sechstel und der Hälfte der Breite des Grabens (30) abgeschieden wird und anisotrop zurückgeätzt wird, wobei das Gate (55) als seitlicher Randsteg an dem Steg (17) aus der konformen Schicht gebildet wird.

5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß zwischen der dotierten Schicht (65) und der Bitleitung (70) eine Barrierenschicht gebildet wird.

6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß auf der Bitleitung (70) eine weitere Isolationsschicht (80) gebildet wird, in der ein Graben gebildet wird, in dem die Wortleitung (85) gebildet wird.

7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß eine Bitleitungsisolation (75) neben und auf der Bitleitung (70) gebildet wird.

8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß die Bitleitungsisolation (75) als selbstjustierende Ätzmaske bei der Ätzung eines Kontaktloches für den Wortleitungskontakt (90) verwendet wird.

9. Verfahren nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß auf der Isolationsschicht des Silicon-On-Insulator-Substrats eine hoch dotierte Schicht (15) eines ersten Leitungstyps angeordnet ist und auf der hoch dotierten Schicht (15) eine schwach dotierte Schicht (20) eines zweiten Leitungstyps angeordnet ist, wobei die hoch dotierte Schicht (15) die zweite Kondensatorelektrode und das zweite Dotiergebiet des Transistors bildet und die schwach dotierte

Schicht das Kanalgebiet des Transistors bildet.

Hierzu 5 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65

FIG 1

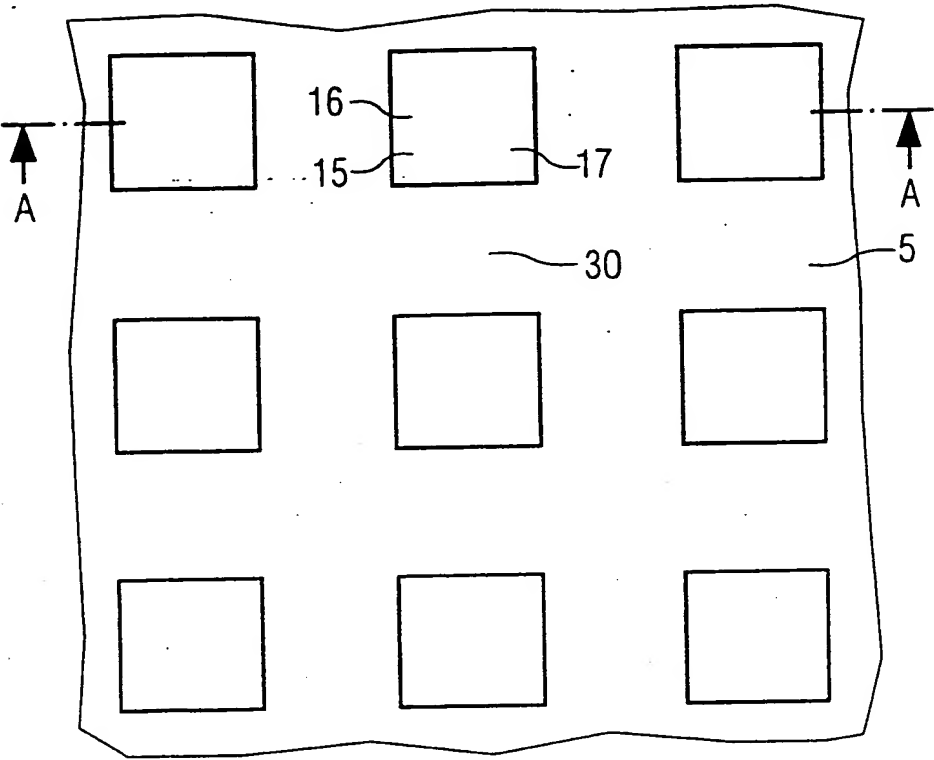


FIG 2

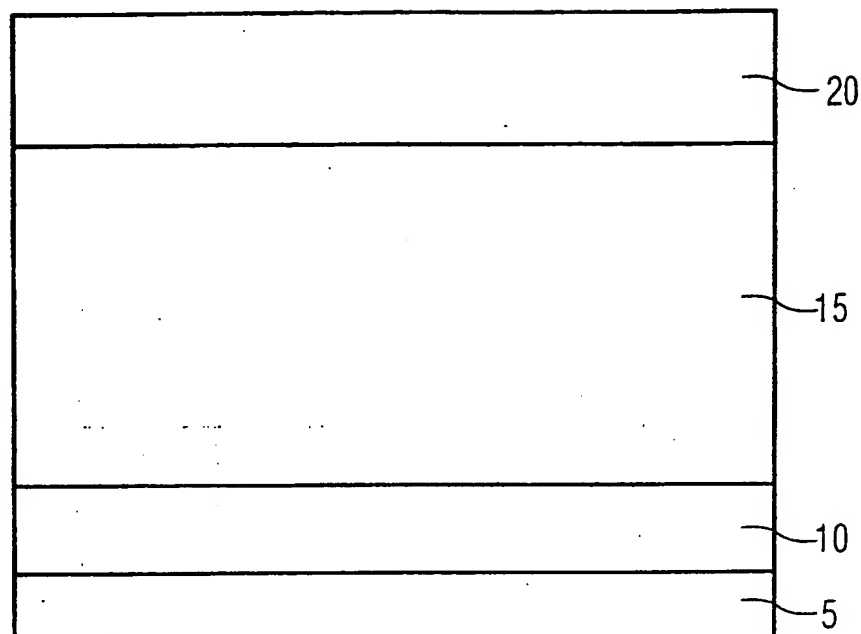


FIG 3

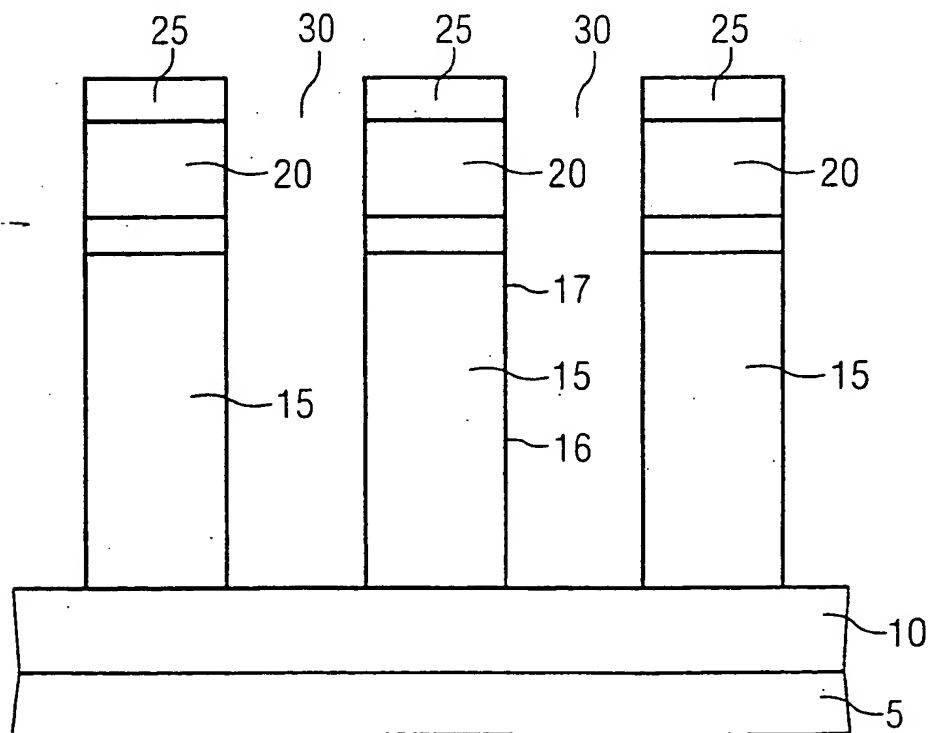


FIG 4

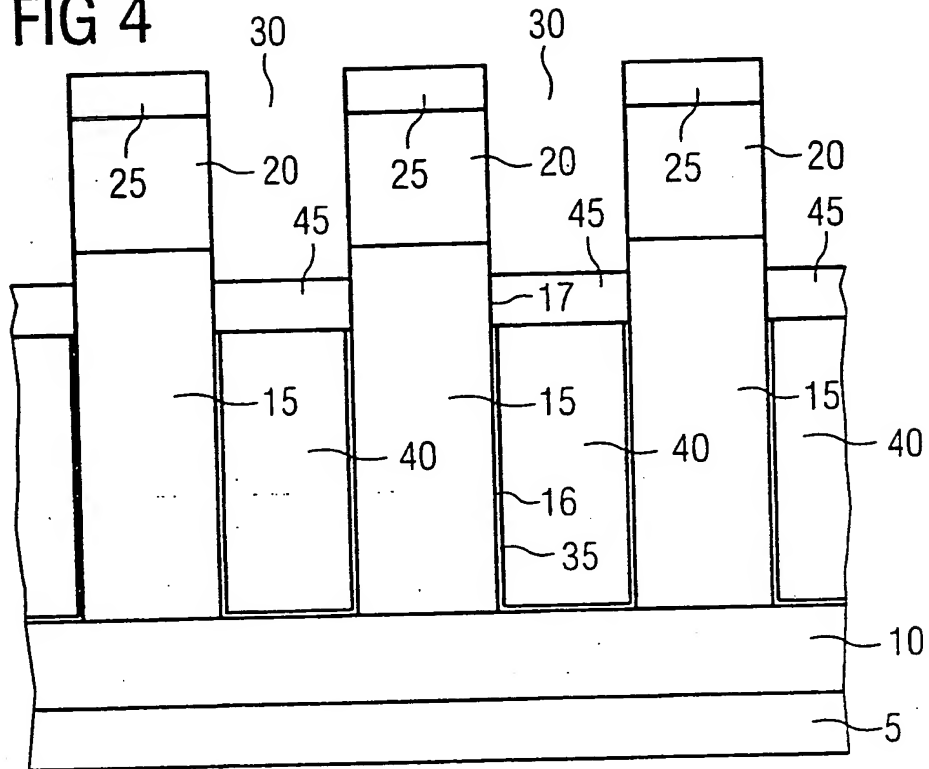


FIG 5

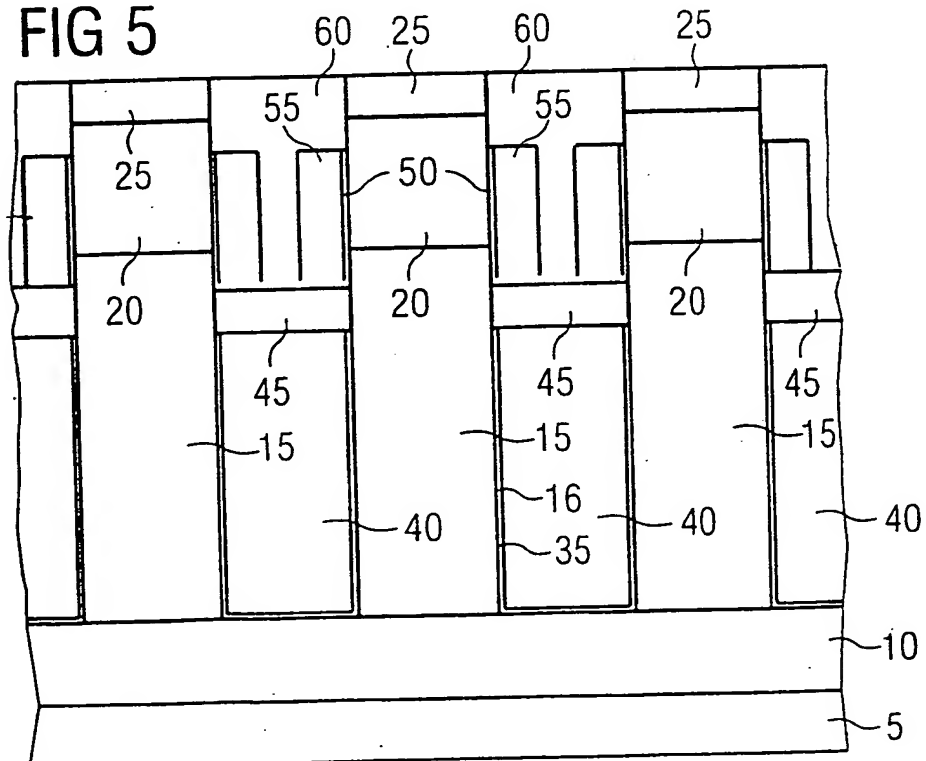




FIG 6

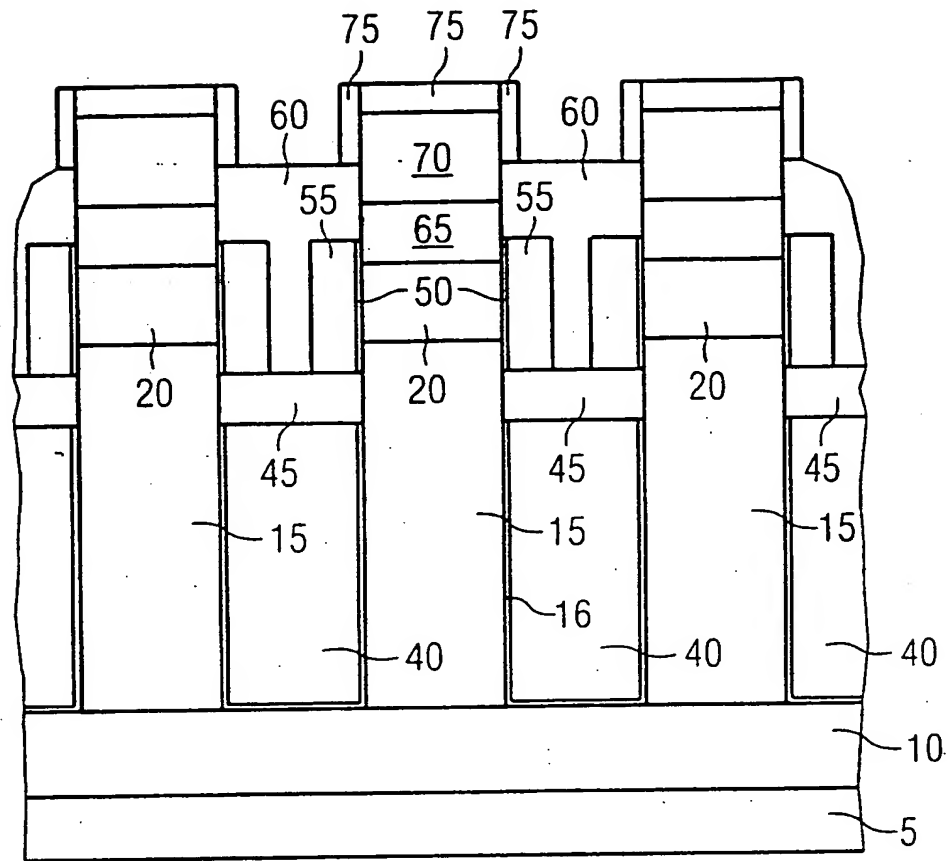
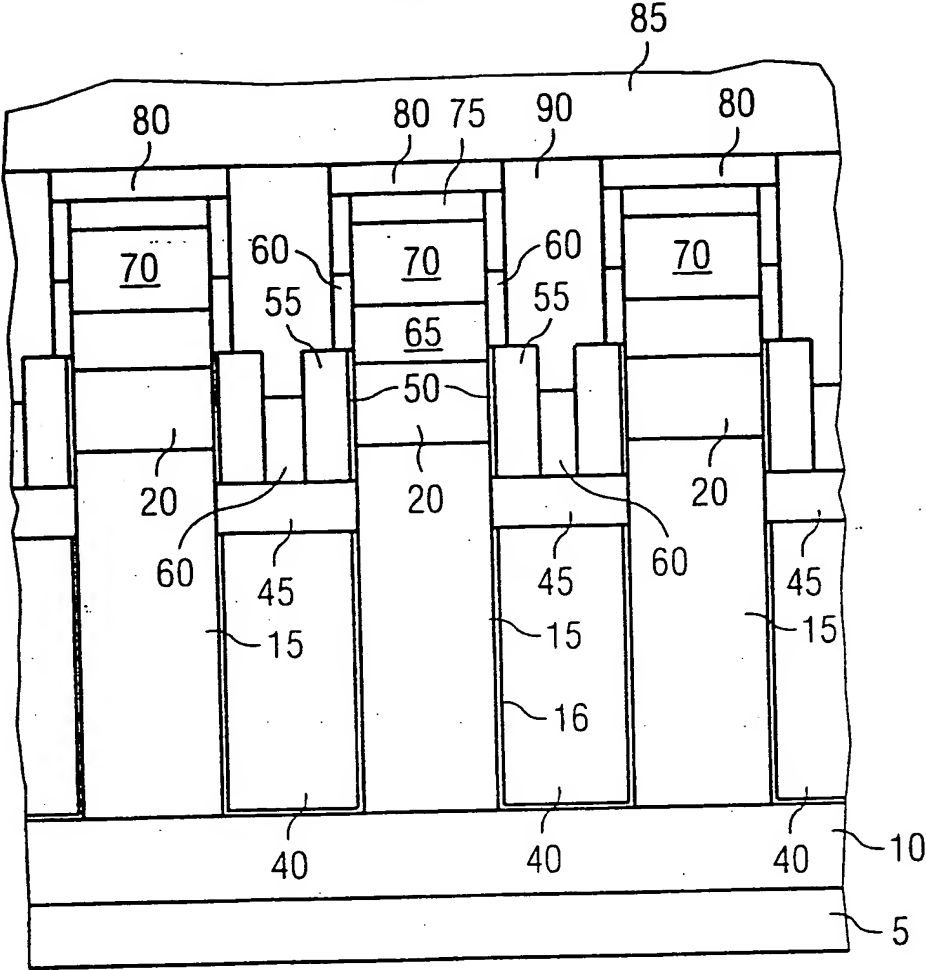


FIG 7



**Method for producing a memory cell for a semiconductor memory**

Patent Number: US2002127803  
Publication date: 2002-09-12  
Inventor(s): HOFMANN FRANZ (DE); SCHLOSSER TILL (DE)  
Applicant(s):  
Requested Patent: DE10111760  
Application Number: US20020096459 20020312  
Priority Number(s): DE20011011760 20010312  
IPC Classification: H01L21/336  
EC Classification:  
Equivalents: US6638812

**Abstract**

The method of the invention, in contrast to conventional trench capacitors wherein the memory node is formed in a trench, normally in the form of a drilled hole, includes the steps of forming the memory node in the monocrystalline silicon of the substrate and remains as a web during an etching process while a trench is filled with the common opposing electrode of the memory cell array. In the method, it is advantageous for the selection transistor to be in the form of a vertical transistor above the memory node in the freestanding web

Data supplied from the esp@cenet database - I2

DOCKET NO: MUH-12876

SERIAL NO: \_\_\_\_\_

APPLICANT: B. Kowalski et al.

**LERNER AND GREENBERG P.A.**

**P.O. BOX 2480**

**HOLLYWOOD, FLORIDA 33022**

**TEL. (954) 925-1100**